

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-255559

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

G02F 1/1368

G09F 9/00

G09F 9/30

H01L 21/20

H01L 29/786

H01L 21/336

(21)Application number : 2000-069414

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.03.2000

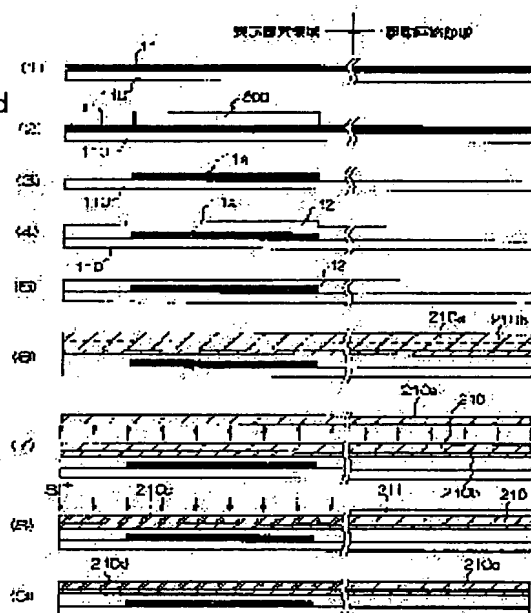
(72)Inventor : YASUKAWA MASAHIRO

(54) METHOD OF MANUFACTURING ELECTRO-OPTIC DEVICE AND ELECTRO-OPTIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily and efficiently manufacture an electro-optic device in which single crystal silicon is used as the semiconductor layer of a switching element in a driving circuit region and polysilicon is used as the semiconductor layer of a switching element in a display pixel region and to provide an electro-optic device with high quality.

SOLUTION: In the method of manufacturing a TFT array substrate of a liquid crystal device, a single crystal silicon film 210 is formed on a substrate 110, and while a mask 211 is formed on the single crystal silicon film corresponding to the driving circuit region, silicon ions are injected into the single crystal silicon film corresponding to the display pixel region and heat treated. Thereby, in the display pixel region the single crystal silicon film 210c with injected silicon ions is converted into polysilicon to form a polysilicon film 210d. The single crystal silicon film 210 in the driving circuit region becomes a single crystal silicon film 210e with the grown crystal.



LEGAL STATUS

[Date of request for examination]

11.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-255559

(P2001-255559A)

(43)公開日 平成13年9月21日(2001.9.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/1368		G 0 9 F 9/00	3 4 8 C 2 H 0 9 2
G 0 9 F 9/00	3 4 8	9/30	3 3 8 5 C 0 9 4
9/30	3 3 8	H 0 1 L 21/20	5 F 0 5 2
H 0 1 L 21/20		G 0 2 F 1/136	5 0 0 5 F 1 1 0
29/786		H 0 1 L 29/78	6 1 2 B 5 G 4 3 5

審査請求 未請求 請求項の数9 O L (全 16 頁) 最終頁に続く

(21)出願番号 特願2000-69414(P2000-69414)

(22)出願日 平成12年3月13日(2000.3.13)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 安川 昌宏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外1名)

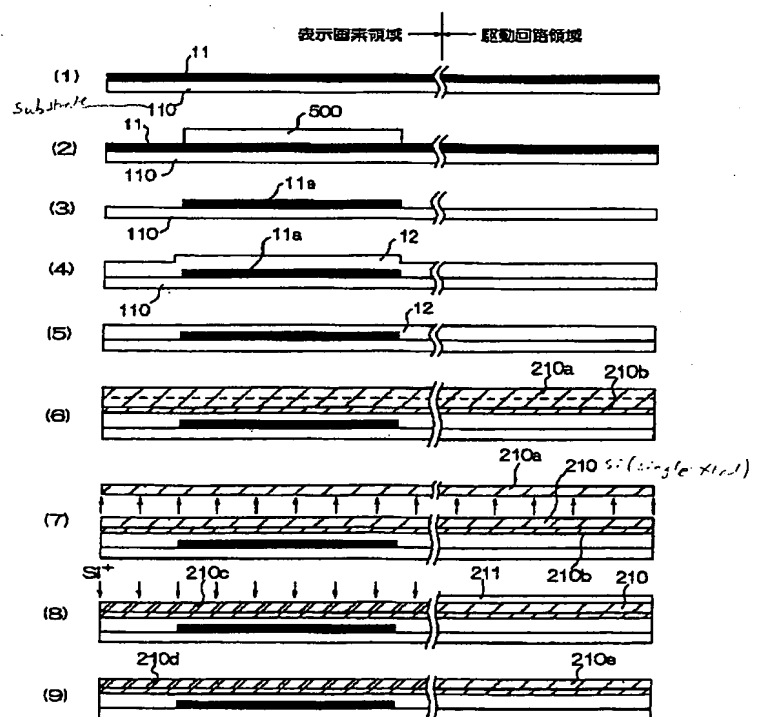
最終頁に続く

(54)【発明の名称】 電気光学装置の製造方法及び電気光学装置

(57)【要約】

【課題】 ポリシリコンからなる半導体層が表示画素領域中に配置され、単結晶シリコンからなる半導体層が駆動回路領域中に配置された液晶装置を、容易に形成する。

【解決手段】 液晶装置のTFTアレイ基板の製造方法において、基板上110に単結晶シリコン膜210を形成し、駆動回路領域に対応する単結晶シリコン膜上にマスク211を形成した状態で、表示画素領域に対応する単結晶シリコン膜に珪素イオンを注入した後、加熱処理をする。これにより、表示画素領域中では、珪素イオンが注入された単結晶シリコン膜210cはポリシリコン化されポリシリコン膜210dとなる。一方、駆動回路領域では、単結晶シリコン膜210は、結晶成長された単結晶シリコン膜210eとなる。



【特許請求の範囲】

【請求項 1】 基板上に、少なくともポリシリコン膜からなる半導体層を有するスイッチング素子が配置された表示画素と、少なくとも該表示画素を駆動する単結晶シリコン膜からなる半導体層を有するスイッチング素子が配置された駆動回路とが配置された電気光学装置の製造方法において、

(a) 前記基板上に単結晶シリコン膜を形成する工程と、

(b) 前記駆動回路に対応する前記単結晶シリコン膜上にマスクを形成する工程と、

(c) 前記単結晶シリコン膜のマスクが形成されていない領域に珪素イオンを注入して非単結晶膜を形成する工程と、

(d) 前記非単結晶膜をポリシリコン化する工程と、

(e) 前記珪素イオンが注入された領域と珪素イオンが注入されていない領域をパターンニングして、それぞれ前記ポリシリコン膜からなる半導体層と前記単結晶シリコン膜からなる半導体層を形成する工程と、を具備することを特徴とする電気光学装置の製造方法。

【請求項 2】 前記 (d) 工程において、前記珪素イオンが注入された領域は、加熱処理されることによりポリシリコン化することを特徴とする請求項 1 記載の電気光学装置の製造方法。

【請求項 3】 前記 (c) 工程後であって前記 (d) 工程前に、

(f) 前記マスクを除去する工程を更に具備し、前記 (d) 工程において、前記加熱処理により前記マスクで覆われていない領域の非単結晶シリコン膜は結晶成長されることを特徴とする請求項 2 に記載の電気光学装置の製造方法。

【請求項 4】 前記 (a) 工程は、

(g) 水素イオンが注入された単結晶シリコン基板を前記基板上に貼り合わせる工程と、

(h) 貼り合わされた前記基板と前記単結晶シリコン基板とを加熱処理することにより分離し、前記基板上に前記単結晶シリコン膜を形成する工程とを具備することを特徴とする請求項 1 から請求項 3 に記載の電気光学装置の製造方法。

【請求項 5】 前記 (a) 工程後であって前記 (c) 工程前に、

(i) 前記単結晶シリコン膜表面に酸化膜を形成する工程を更に具備することを特徴とする請求項 1 から請求項 4 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 6】 前記 (i) 工程は、前記 (b) 工程後であって前記 (c) 工程前に行われ、前記酸化膜は前記単結晶シリコン膜表面を酸化して形成されてなることを特徴とする請求項 5 に記載の電気光学装置の製造方法。

【請求項 7】 前記 (d) 工程前に、

(j) 前記酸化膜を除去する工程を更に具備することを

特徴とする請求項 5 または請求項 6 に記載の電気光学装置の製造方法。

【請求項 8】 前記マスクは窒化膜からなることを特徴とする請求項 1 から請求項 7 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 9】 請求項 1 から請求項 8 のいずれか一項に記載の電気光学装置の製造方法により製造されたことを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に表示画素と駆動回路とを同時形成する電気光学装置の製造方法及び電気光学装置に関する。特に、表示画素のスイッチング素子の半導体層としてポリシリコン層、駆動回路のスイッチング素子の半導体層として単結晶シリコン層が用いられた構造の電気光学装置の製造方法及び電気光学装置の製造方法に関する。

【0002】

【従来の技術】電気光学装置、例えば液晶装置においては、同一基板上に表示画素と駆動回路とが同時形成された構造が用いられている。このような構造においては、表示画素に配置されるスイッチング素子の駆動スピードは比較的遅くても良いのに対し、駆動回路におけるスイッチング素子の駆動には高速応答が要求される。このため、特開平 5-134272 号公報には、駆動回路のスイッチング素子の半導体層として単結晶シリコンを用い、表示画素のスイッチング素子の半導体層としてポリシリコンを用いる技術が記載されている。そして、このような異なる半導体層を効率良く同一基板上に形成する方法として、特開平 5-134272 号公報では、シリコン窒化膜を核としてシリコン膜を成長することにより半導体層を形成し、核となるシリコン窒化膜の大きさを異ならせることにより堆積されるシリコン膜を多結晶シリコン膜とするか単結晶シリコン膜とするかを決定している。

【0003】

【発明が解決しようとする課題】しかしながら、上述の公報に記載される製造方法では、表面平滑性の良いシリコン膜が得ることが難しく CMP 等の平坦化処理が必要になる。また核からシリコン膜を成長させることが困難で、実用化が難しい。シリコン窒化膜を核として使用した場合、特にチャネル領域が薄い単結晶シリコン膜で構成する場合、チャネルの空乏層が窒化膜の側で終端させ素子のしきい値ばらつきを大きくさせる問題がある。

【0004】本発明は、特開平 5-134272 号公報に記載される製法とは異なる製法により、駆動回路領域のスイッチング素子の半導体層として単結晶シリコンが用いられ、表示画素領域のスイッチング素子の半導体層としてポリシリコンが用いられた電気光学装置を容易に、効率良く製造し、高品質の電気光学装置を提供する

ことを目的とするものである。

【0005】

【課題を解決するための手段】かかる課題を解決するため、本発明の電気光学装置の製造方法は、基板上に、少なくともポリシリコン膜からなる半導体層を有するスイッチング素子が配置された表示画素と、少なくとも該表示画素を駆動する単結晶シリコン膜からなる半導体層を有するスイッチング素子が配置された駆動回路とが配置された電気光学装置の製造方法において、(a)前記基板上に単結晶シリコン膜を形成する工程と、(b)前記駆動回路に対応する前記単結晶シリコン膜上にマスクを形成する工程と、(c)前記マスクを介して前記単結晶シリコン膜に珪素イオンを注入し非単結晶化した領域を形成する工程と、(d)前記珪素イオンが注入された領域をポリシリコン化する工程と、(e)前記珪素イオンが注入された領域と珪素イオンが注入されていない領域をパターンニングして、それぞれ前記ポリシリコン膜からなる半導体層と前記単結晶シリコン膜からなる半導体層を形成する工程と、を具備することを特徴とする。

【0006】本発明のこのような構成によれば、同一基板上に膜質の良いポリシリコン膜及び単結晶シリコン膜という異なる膜質のシリコン膜を容易に形成することができるという効果を有する。すなわち、前述の公開公報にて開示されている技術では、核の大きさを異ならせることにより異なる膜質のシリコン層を得ているため、核から成長させる際の縦方向及び横方向の成長の制御が難しく、シリコン層の膜厚や大きさの制御が困難であり、更に膜質を異ならせるための核の大きさの制御が困難であった。これに対し、本発明では、はじめに基板全面に単結晶シリコン膜が形成されるため面内における膜厚均一性が良い。更に、本発明では、単結晶シリコン膜のポリシリコン化の方法として、単結晶シリコン膜に珪素イオンを注入し、これを加熱またはレーザーアニール処理などを行うことによりポリシリコン化する方法を採用しているため、珪素イオンの注入の有無によりポリシリコン膜となるか単結晶シリコン膜となるかが決定されるので、同じ基板上で異なる膜質のシリコン膜を容易に形成することができる。

【0007】また、前記(d)工程において、前記珪素イオンが注入された領域は、加熱処理されることによりポリシリコン化することを特徴とする。このように、加熱処理することにより、ポリシリコン化が可能である。ポリシリコン化の際の加熱は600～700℃程度の範囲で行えば良い。

【0008】また、前記(c)工程後であって前記(d)工程前に、(f)前記マスクを除去する工程を更に具備し、前記(d)工程において、前記加熱処理により前記マスクが覆われていない領域の非単結晶シリコン膜は結晶成長されることを特徴とする。このような構成とすることにより、加熱処理により表示画素領域にお

るシリコン膜のポリシリコン化と、駆動回路領域における単結晶シリコン膜の工程を同時に行うことができる。

【0009】また、前記(a)工程は、(g)水素イオンが注入された単結晶シリコン基板を前記基板上に貼り合わせる工程と、(h)貼り合わされた前記基板と前記単結晶シリコン基板とを加熱処理することにより、前記基板上に前記単結晶シリコン膜を形成する工程とを具備することを特徴とする。このように、単結晶シリコン基板に水素イオンが注入されたSOI(Silicon on Insulator)基板を用いて基板上に単結晶シリコン膜を形成することができ、基板面内で膜厚が均一で平坦性に優れた単結晶シリコン膜を形成することができる。

【0010】また、前記(a)工程後であって前記(c)工程前に、(i)前記単結晶シリコン膜表面に酸化膜を形成する工程を更に具備することを特徴とする。このような構成によれば、珪素イオンの注入前に単結晶シリコン膜の表面に酸化膜が形成された状態となるため、単結晶シリコン膜の表面は酸化膜により保護され、珪素イオンの注入によるシリコン膜表面の荒れを防止することができるという効果を有する。これにより、更に、表面平坦性の良いポリシリコンからなる半導体層を得ることができ、高品質のスイッチング素子を得ることができる。

【0011】また、前記(i)工程は、前記(b)工程後であって前記(c)工程前に行われ、前記酸化膜は前記単結晶シリコン膜表面を酸化して形成されてなることを特徴とする。このような構成とすることにより、マスクを形成した後に表面酸化膜が形成されるため、マスクが酸化膜形成時のマスクとなり、表示画素領域に対応する単結晶シリコン膜表面にのみ効率良く酸化膜を形成することができる。さらに、この酸化膜は単結晶シリコン膜表面を酸化して形成されたものであるため、表示画素におけるシリコン膜の厚みは、駆動回路におけるシリコン膜の厚みよりも薄くなる。これにより、表示画素では、膜厚の薄いポリシリコンからなる半導体層が形成され、駆動回路では、膜厚の厚い単結晶シリコンからなる半導体層が形成される。表示画素においては、半導体層の厚みを薄く、例えば30～70nm、好ましくは30～50nmの膜厚とすることにより、電気光学装置に光が入射される場合、この光入射による半導体層のチャネル領域における光リークの発生が低減されるため、この半導体層を有するスイッチング素子は、誤動作することはない。一方、駆動回路においては、半導体層の厚みを厚く、例えば80～200nmの膜厚とすることにより、ドレイン耐圧性を高めることができる。特に、SOI基板を用いる場合においては、素子能力が極めて高いため、寄生バイポーラの発生による素子耐圧の低下を防止するため、またコンタクト抵抗の低減のため、半導体層の厚みを厚くする方が望ましく、例えば50～200nm

m、更に好ましくは100～160nmの厚みとすることが望ましい。

【0012】また、前記(d)工程前に、(j)前記酸化膜を除去する工程を更に具備することを特徴とする。このような構成とすることにより、シリコン膜がポリシリコン化される前に酸化膜を除去するため、酸化膜を除去する際に用いる弗化水素酸によりシリコン膜表面が荒れることを防止することができる。ここで、酸化膜の除去のタイミングとしては、ポリシリコン化された後とポリシリコン化される前の2つ場合が考えられる。ポリシリコン化された後に、酸化膜が除去される場合では、酸化膜の除去に用いられるエッチング液が、ポリシリコン膜の粒界が削れ、ポリシリコン膜表面が荒れてしまう。これに対し、ポリシリコン化される前に酸化膜が除去される場合では、酸化膜の除去に用いられるエッチング液により、単結晶シリコン膜表面が荒れることはない。従って、ポリシリコン化工程前に酸化膜が除去されることが望ましい。

【0013】また、前記マスクは窒化膜からなることを特徴とする。このような構成とすることにより、マスク除去に用いられるエッチング液によるシリコン膜表面の荒れを防止することができる。窒化膜、例えば窒化珪素膜などの除去に用いられるエッチング液としては、熱リン酸があり、これはシリコン膜表面を荒らすことがない。これに対し、マスクとして有機膜からなるレジスト膜を用いることもできるが、レジスト膜を用いた場合では、レジスト膜除去に用いられるエッチング液はシリコン膜表面を荒らす傾向にある。従って、好ましくは、マスクとして窒化膜が用いられることが望ましい。

【0014】本発明の電気光学装置は、上述の電気光学装置の製造方法により製造されたことを特徴とする。このような構成によれば、表示画素領域に配置されるスイッチング素子の半導体層はポリシリコンから形成され、駆動回路領域に配置されるスイッチング素子の半導体層は単結晶シリコンから形成される。従って、表示画素領域においては、半導体層のチャネル領域に蓄積されるキャリアのライフタイムを短くすることができ、駆動回路領域においては、駆動能力を高く維持することができる。更に、表示画素領域及び駆動回路領域それぞれの領域内における半導体層の膜厚均一性が高いため、領域内で特性の安定したスイッチング素子を複数得ることができ、高品質の電気光学装置を得ることができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0016】(第一実施形態における電気光学装置)図1から図3を用いて、第一実施形態における電気光学装置としての液晶装置の構造について説明する。図1は、液晶装置の表示画素を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路、駆

動回路領域を示す図である。また、図2は、表示画素におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図及び駆動回路領域の断面図である。尚、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0017】図1において、液晶装置200は、互いに交差してなる走査線3aとデータ線6aとを有する表示画素が配置された表示画素領域と、これら走査線3aとデータ線6aに駆動信号をそれぞれ供給するための走査線駆動回路104、データ線駆動回路101等の駆動回路が配置された駆動回路領域とから構成される。

【0018】表示画素領域は、平行に配置された容量線3b及び走査線3aと、走査線3aと交差して配置されたデータ線6aと、これら走査線3aとデータ線6aとの交差部毎にマトリクス状に配置された画素電極9aと、画素電極9aを制御するための第1のスイッチング素子としての薄膜トランジスタ(以下、TFTと称する)30とからなる。画像信号が供給されるデータ線6aにはTFT30のソースが電氣的に接続され、走査信号が供給される走査線3aにはTFT30のゲートが電氣的に接続している。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。

【0019】一方、駆動回路領域は、走査線駆動回路104、データ線駆動回路101、サンプリング回路301、プリチャージ回路201からなる。走査線駆動回路104は、外部制御回路から供給される電源、基準クロックCLY及びその反転クロック等に基づいて、所定タイミングで走査線3aに走査信号G1、G2、…、Gmをパルスの形で順次で印加する。データ線駆動回路101は、外部制御回路から供給される電源、基準クロックCLX及びその反転クロック等に基づいて、走査線駆動回路104が走査信号G1、G2、…、Gmを印加するタイミングに合わせて、データ線6a毎にサンプリング回路駆動信号としてのシフトレジスタからの転送信号X1、X2、…、Xnを、サンプリング回路301にサンプリング回路駆動信号線306を介して所定タイミングで供給する。プリチャージ回路201は、スイッチング素子として、例えばTFT202を各データ線6a毎に備えており、プリチャージ信号線204がTFT202のドレイン又はソース電極に接続されており、プリチャージ回路駆動信号線206がTFT202のゲート電極

に接続されている。

【0020】駆動回路領域中に配置される第2のスイッチング素子としての駆動回路用TFTは、表示画素領域中に配置されるTFT30と同一基板上で同一工程で形成されている。

【0021】後述するが、液晶装置は対向基板とTFTアレ基板との間に液晶層が挟持して構成されており、TFTアレ基板は以下のように構成されている。すなわち、図2に示すように、TFTアレ基板10では、ガラス基板60上にマトリクス状に複数の透明な画素電極9aが設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは縦方向に延伸した形状に形成され、データ線6aの一部はコンタクトホール5を介してポリシリコンからなる半導体層1a（幅の広い点線で囲まれた領域）のうち後述のソース領域に電氣的に接続されている。また、画素電極9a（幅の狭い点線9a'で囲まれた領域）の一部は、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電氣的に接続されている。また、半導体層1aのうちチャネル領域1a'（右下がりの斜線が形成された領域）に一部が対向するように走査線3aが配置され、走査線3aの一部はゲート電極として機能する。容量線3bは、走査線3aに沿ってほぼ平行に直線状に伸びた本線部と、データ線6aと交差する箇所からデータ線6aに沿って突出した突出部を有し、この突出部にほぼ対応して半導体層1の一部である容量用電極1fが配置されている。第1遮光膜11aは、表示画素領域において半導体層1aのチャネル領域を含むTFTをTFTアレ基板の側から見て覆う位置に設けられており、更に、容量線3bの本線部に対向して走査線3aに沿って直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って隣接する段側（即ち、図中下向き）に突出した突出部とを有する。第1遮光膜11aの各段（画素行）における下向きの突出部の先端は、データ線6a下において次段における容量線3bの上向きの突出部の先端と重ねられている。この重なった箇所には、第1遮光膜11aと容量線3bとを相互に電氣的接続するコンタクトホール13が設けられている。即ち、本実施の形態では、第1遮光膜11aは、コンタクトホール13により前段あるいは後段の容量線3bに電氣的接続されている。また、容量線3bの突出部と容量用電極1fとは、後述するゲート絶縁膜2を誘電体層として蓄積容量を形成している。

【0022】図3に示すように、液晶装置200は、対向基板20とTFTアレ基板10との間に液晶層50を挟持して構成される。

【0023】TFTアレ基板10は、表示画素領域においては、例えば石英基板110上に、遮光膜11aが配置され、この遮光膜11aを覆って酸化シリコンから

なる下地膜12が配置されている。下地膜12上には、ポリシリコンからなる半導体層1aが配置されている。半導体層1aは、その一部が容量用電極1fとなっており、この容量用電極1fと接続して、LDD構造からなる半導体層を有している。このLDD（lightly doped drain）構造からなる半導体層は、チャネル領域1a'を挟んで両側に低濃度ソース領域1b及び低濃度ドレイン領域1cが配置され、これらの領域を挟んで両側に高濃度ソース領域1d及び高濃度ドレイン領域1eが配置された構造となっている。

【0024】半導体層1a上には、一部が蓄積容量形成用の誘電体膜としても機能する酸化シリコン膜からなるゲート絶縁膜2が形成されている。ゲート絶縁膜2上にはポリシリコンからなる走査線3a及び容量線3bが形成されている。走査線3aの一部はゲート電極を兼ねており、ゲート電極はチャネル領域1a'に対応して配置される。これらの走査線3a及び容量線3bを含む半導体層1a上には第1層間絶縁膜4が形成され、この第1層間絶縁膜4上には、例えばアルミニウムからなるデータ線6aが形成されている。データ線6aは、第1層間絶縁膜4に形成されるコンタクトホール5を介して高濃度ソース領域1dに電氣的に接続されている。さらに、データ線6aを含む第1層間絶縁膜4上には、第2層間絶縁膜7が形成されている。第2層間絶縁膜7上には、ITO（Indium Tin Oxide）膜からなる画素電極9aが形成されており、この画素電極9aは、第1層間絶縁膜4及び第2層間絶縁膜7に形成されたコンタクトホール8を介して高濃度ドレイン領域1eに電氣的に接続されている。そして、画素電極9aを含む第2層間絶縁膜7上に、ポリイミド膜が配向処理されて形成される配向膜16が配置されている。

【0025】また、TFTアレ基板10の駆動回路領域においては、相補型トランジスタ構造などが採用されている。図3に示すように、相補型トランジスタ構造は、Nチャネル型TFT407、Pチャネル型TFT408を有している。図3に示すように、ガラス基板110上に配置された下地層12上にNチャネル型に対応する半導体層401、Pチャネル型の半導体層402とが配置され、これらを覆うように、ゲート絶縁膜2が配置されている。半導体層401、402は単結晶シリコンからなる。半導体層401は、チャネル領域401aを挟んで両側にソース領域401b及びドレイン領域401cが配置され、半導体402は、チャネル領域402aを挟んで両側にソース領域402b及びドレイン領域402cが配置された構造となっている。ゲート絶縁膜2上には、半導体層401、402のそれぞれのチャネル領域401a、402aに相当する位置にゲート電極403、404が配置されている。更に、ゲート電極403、404を覆って第1層間絶縁膜4が配置され、第1層間絶縁膜4上にはソース電極405a、406a、

ドレイン電極 405b、406b が配置されている。ソース電極 405a、ドレイン電極 405b は、それぞれ、ソース領域 401b、ドレイン領域 401c と第 1 層間絶縁膜に形成されたコンタクトホール 420a、420b を介して電氣的に接続されている。また、ソース電極 406a、ドレイン電極 406b は、それぞれ、ソース領域 402b、ドレイン領域 402c と第 1 層間絶縁膜に形成されたコンタクトホール 421a、421b を介して電氣的に接続されている。さらにソース電極 405a、406a 及びドレイン電極 405b、406b を含む第 1 層間絶縁膜 4 上には、第 2 層間絶縁膜 7、配向膜 16 が順次積層されている。

【0026】他方、対向基板 20 は、例えばガラス基板 120 上にマトリクス状に形成された遮光膜 23、これを覆って順次形成された ITO 膜からなる対向電極 21、ポリイミド膜が配向処理されて形成されたる配向膜 22 とから構成されている。図 3 においては、駆動回路領域には配向膜 16 のみが形成された状態となっているが、表示画素領域に少なくとも対向電極 21 及び配向膜が形成されていれば良く、駆動回路領域に形成される膜について特に規制はない。

【0027】次に TFT アレイ基板の製造方法について図 4～図 8 を用いて説明する。尚、図 4 から図 8 は、TFT アレイ基板側の表示画素領域及び駆動回路領域における各層の断面図を、図 3 に対応させて示す工程図である。

【0028】図 4 の工程 (1) に示すように、まず石英基板 110 を用意する。ここで、好ましくは N_2 (窒素) 等の不活性ガス雰囲気且つ約 $850 \sim 1300^\circ C$ 、より好ましくは $1000^\circ C$ の高温でアニール処理し、後に実施される高温プロセスにおける TFT アレイ基板 10 に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前に石英基板 110 を同じ温度かそれ以上の温度で熱処理しておく。

【0029】このように処理された石英基板 110 の全面に、Ti、Cr、W、Ta、Mo 及び Pb 等の金属や金属シリサイド等の金属合金膜を、スパッタにより、 $100 \sim 500 \text{ nm}$ 程度の層厚、ここでは約 200 nm の層厚の遮光膜 11 を形成する。

【0030】次に、工程 (2) に示すように、フォトリソグラフィにより第 1 遮光膜 11a のパターン (図 6 参照) に対応するレジスト膜 500 を形成する。

【0031】次に、工程 (3) に示すように、レジスト膜 500 を介して遮光層 11 に対しエッチングを行うことにより、遮光層 11a を形成し、レジスト膜 500 を除去する。

【0032】次に、工程 (4) に示すように、該第 1 遮光膜 11a の上に、例えば、常圧又は減圧 CVD 法等により TEOS (テトラ・エチル・オルソ・シリケート)

ガス、TEB (テトラ・エチル・ボートレート) ガス、TMOP (テトラ・メチル・オキシ・フオスレート) ガス等を用いて、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地膜 12 を形成する。この下地膜 12 の層厚は、例えば、約 $400 \sim 1200 \text{ nm}$ とする。ここでは、 1100 nm 程度とする。

【0033】次に、工程 (5) に示すように、下地膜 12 の表面を、グローバルに研磨して平坦化する。研磨による平坦化の手法としては、例えば CMP (化学的機械研磨) 法を用いることができる。これにより、下地膜 12 の膜厚を約 600 nm とした。

【0034】次に、工程 (6) に示すように、基板 110 と単結晶シリコン基板 210a との貼り合わせを行う。

【0035】貼り合わせに用いる単結晶シリコン基板 210a は、厚さ $600 \mu\text{m}$ あり、その表面があらかじめ $50 \sim 800 \text{ nm}$ 、ここでは 200 nm 程度酸化されて、酸化膜 210b が形成されている。これは貼り合わせ後に形成される単結晶シリコン層 210 と酸化膜層 210b の界面を熱酸化で形成し、電気特性の良い界面を確保するためである。さらに、単結晶シリコン基板 210a には、水素イオン (H^+) が例えば加速電圧 100 keV 、ドーズ量 $10 \times 10^{16} \text{ cm}^{-2}$ にて注入されており、その注入深さは、基板表面から約 300 nm となっている。図では、単結晶シリコン基板 210a のうち、点線より下側の領域に水素イオンが注入された状態となっている。

【0036】貼り合わせでは、基板 110 上の下地膜 12 と単結晶シリコン基板 210a の酸化膜 210b が接するように貼り合わされる。貼り合わせ工程は、例えば $300^\circ C$ で 2 時間の熱処理によって 2 枚の基板を直接貼り合わせる方法が採用できる。

【0037】次に、工程 (7) に示すように、貼り合わせた単結晶シリコン基板 210a の貼り合わせ面側の酸化膜 210b と単結晶シリコン膜 210 を残したまま、単結晶シリコン基板 210a を、基板 10 から剥離するための熱処理を行う。この基板の剥離現象は、単結晶シリコン基板中に導入された水素イオンによって、単結晶シリコン基板の表面近傍のある層でシリコンの結合が分断されるために生じるものである。例えば、貼り合わせた 2 枚の基板を毎分 $20^\circ C$ の昇温速度にて $600^\circ C$ まで加熱することにより行うことができる。この熱処理によって、貼り合わせた単結晶シリコン基板 210a が基板 10 と分離し、基板 10 表面には、約 200 nm 程度の膜厚の珪素酸化膜 210b と 70 nm 程度の膜厚の単結晶シリコン膜 210 とが形成される。なお、基板 10 上に貼り合わされる単結晶シリコン膜 210 は、前に述べた単結晶シリコン基板 210a に対して行われる水素イオン注入の加速電圧を変えることによって $50 \text{ nm} \sim 3$

000nmまで任意の膜厚で形成することが可能である。この後、単結晶シリコン膜210表面をタッチポリッシングし、平滑化する。単結晶シリコン膜の厚みは50~200nmが好ましく、本実施形態においては55nmとした。

【0038】本実施形態では、水素イオンを注入した単結晶シリコン基板を貼り合わせ後に熱処理によって分離するSmart Cut法を用いて、基板上に単結晶シリコン膜を形成するUni bond法を用いるため、基板全面に渡って膜厚均一性の高い単結晶シリコン膜を得ることができる。

【0039】この他に、単結晶シリコン膜を得るための手法としては、水素イオンを注入しない単結晶シリコン基板を基板に貼り合わせ、熱処理して貼り合わせた後、PACE (Plasma Assisted Chemical Etching) 法によってシリコン層206の膜厚を0.05~0.8 μ m程度までエッチングして形成しても良い。このPACE処理によって単結晶シリコン膜は、例えば膜厚100nmに対しその膜厚均一性は10%以内のものが得られる。

【0040】また、単結晶シリコン膜を得るための他の手法としては、多孔質シリコン上に形成したエピタキシャルシリコン層を多孔質シリコン層の選択エッチングによって貼り合わせ基板上に転写するELTRAN (Epitaxial Layer Transfer) 法を用いることもでき、成膜方法には依存しない。

【0041】次に、単結晶シリコン膜210上に窒化珪素膜を200nmの厚みにて成膜した後、工程(8)に示すように、駆動回路領域のみに窒化珪素膜からなるマスク211が残るように、表示画素領域中に形成された窒化珪素膜をエッチングにより除去する。ここで、マスクとしては、窒化珪素膜といった無機膜以外に有機膜を用いることもできるが、マスクとして有機膜を用いる場合は、マスクを除去する際、後述するシリコンの注入によってレジストが固化し剥離できない可能性があるのに対して、窒化珪素膜といった無機膜では、前記のような問題がないため、無機膜を用いることが好ましい。

【0042】次に、工程(8)に示すように、マスク211を介して、珪素イオン(Si⁺)を、40keVの加速電圧で、 3×10^{16} cm⁻²の量で注入する。これにより、表示画素領域においては、珪素同士の結合がされた状態の膜210cが形成される。一方、駆動回路領域においては珪素イオンが注入されていない単結晶シリコン膜210のままとなる。

【0043】次に、工程(9)に示すように、マスク211を熱燐酸により剥離する。この後、窒素雰囲気中にて、600~700℃の温度下、ここでは640℃の温度下で6時間加熱し、非単結晶シリコン膜の固相成長を行う。この工程により、表示画素領域においては、非単結晶シリコン膜210cがポリシリコン化されてポリシ

リコン膜210dが形成される。一方、駆動回路領域においては、単結晶シリコン膜210eが形成された構成となる。ここで、ポリシリコン化及び固相成長の手段としては、レーザーアニールを用いても良い。

【0044】次に、図5の工程(10)に示すように、フォトリソグラフィ工程、エッチング工程等により、表示画素領域においては、図2及び図3に示した如き所定パターンの半導体層1a、半導体層1aから延設された容量用電極1fを形成する。駆動回路領域においては半導体層401及び402を形成する。

【0045】本実施形態においては、珪素イオン注入後にシリコン膜をパターンニングしているが、シリコン膜をパターンニングしてから、駆動回路領域をマスクした状態で珪素イオンを注入することもできる。

【0046】次に、工程(11)に示すように、表示画素領域における画素スイッチング用TFT30を構成する半導体層1a、容量用電極1f、駆動回路領域におけるN型TFTを構成する半導体層401及びP型TFTを構成する半導体層402を、約850~1300℃の温度、好ましくは約1000℃の温度で30分程度熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜を形成する。更に、30~50nmの厚みにて減圧CVD法等により高温酸化シリコン膜(HTO)膜を形成し、熱酸化シリコン膜とHTO膜の二層からなるゲート絶縁膜2を形成する。この結果、半導体層1a、401、402及び第1蓄積容量電極1fの厚さは、約40nmの厚さ、ゲート絶縁膜2の厚さは、約60~80nmの厚さとなる。

【0047】次に、工程(12)に示すように、半導体層1aを延設してなる第1蓄積容量電極1fを低抵抗化するため、基板10の表面の走査線3a(ゲート電極)に対応する部分にレジスト膜501を形成し、これをマスクとしてその上からPなどのV族元素のドーパント、ここではPイオンを70keVの加速電圧、 3×10^{14} cm⁻²のドーパ量にてドーブする。

【0048】次に、工程(13)に示すように、レジスト膜501を除去し、下地膜12に、遮光膜11aに至るコンタクトホール13を反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウエットエッチングにより形成する。この際、反応性イオンエッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール13等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせると開孔すれば、これらのコンタクトホール13等をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。

【0049】次に、工程(14)に示すように、減圧CVD法等によりポリシリコン膜3を350nm程度の厚

さで堆積した後、リン(P)を熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーパントシリコン膜を用いてもよい。これにより、ポリシリコン膜3の導電性を高めることができる。

【0050】次に、工程(15)に示すように、レジスト膜を用いたフォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。

【0051】次に、工程(16)に示すように、駆動回路領域のPチャネルTFTとなる半導体層402を除く10 基板全面にレジスト膜502を形成する。その後、このレジスト膜502及びゲート電極404をマスクとして、半導体層402にBなどのIII族元素のドーパント、ここではBF₃イオンを90keVの加速電圧、 $2 \times 10^{15} \text{ cm}^{-2}$ のドーパント量にてドーパする。これにより、駆動回路領域におけるPチャネルTFTに対応するソース領域402b及びドレイン領域402cが形成される。ドーパ後、レジスト膜502は除去される。

【0052】次に、工程(17)に示すように、駆動回路領域のPチャネルTFTとなる半導体層402を覆う20 ようにレジスト膜503を形成する。その後、レジスト膜503及び走査線(ゲート電極)3a、容量線3bをマスクとして、半導体層401及び半導体層1aに、PなどのV族元素のドーパント、ここでは、Pイオンを70keVの加速電圧、 $6 \times 10^{12} \text{ cm}^{-2}$ のドーパント量にてドーパする。これにより表示画素領域のTFTの半導体層1aにおいては、低濃度ソース領域1b及び低濃度ドレイン領域1cが形成される。また、駆動回路領域においては、NチャネルTFTに対応するソース領域401 30 b及びドレイン領域401cが形成される。ドーパ後、レジスト膜503は除去される。

【0053】続いて、工程(18)に示すように、ゲート電極3aよりも幅が広い形状を有し、更に駆動回路領域におけるPチャネルTFTの半導体層402を覆う形状を有するレジスト膜504を形成する。その後、レジスト膜504及びゲート電極403をマスクとして、半導体層1a及び半導体層401に、PなどのV族元素のドーパント、ここではPイオンを70keVの加速電圧、 $4 \times 10^{15} / \text{cm}^{-2}$ のドーパント量にてドーパする。これにより、表示画素領域のTFTにおいては、高濃度ソース領域1d及び高濃度ドレイン領域1eが形成される。また、駆動回路領域のNチャネル型TFTにおいては、更に低抵抗化されたソース領域401b及びドレイン領域401cが得られる。ドーパ後、レジスト膜504は除去される。

【0054】次に、工程(19)に示すように、画素スイッチング用TFT30における走査線3aと共に容量線3b及び走査線3aを覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PS 50

G、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜4を形成する。第1層間絶縁膜4の層厚は、約500～1500nmが好ましく、更に800nmがより好ましい。

【0055】この後、半導体層にドーパされた不純物イオンを活性化するために約850℃のアニール処理を20分程度行う。

【0056】次に、工程(20)に示すように、表示画素領域においては、データ線6aに対するコンタクトホール5を、駆動回路領域においては、ソース電極405a、406a及びドレイン電極405b、406bのそれぞれに対応するコンタクトホール420a、421a、420b、421bを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチング或いはウェットエッチングにより第1層間絶縁膜4をエッチングして形成する。

【0057】次に、図7の工程(21)に示すように、第1層間絶縁膜4の上に、スパッタ処理等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100～700nmの厚さ、好ましくは約350nmに堆積する。

【0058】次に金属膜6を、フォトリソグラフィ工程、エッチング工程等によりパターンニングし、工程(22)に示すように、データ線6a、ソース電極405a、406a、ドレイン電極405b、406bを形成する。

【0059】次に、工程(23)に示すように、データ線6a、ソース電極405a、406a、ドレイン電極405b、406bを含む第1層間絶縁膜4上に、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜7を形成する。第2層間絶縁膜7の層厚は、約500～1500nmが好ましく、更に800nmがより好ましい。

【0060】次に、図8の工程(24)に示すように、画素スイッチング用TFT30において、画素電極9aと高濃度ドレイン領域1eとを電氣的接続するためのコンタクトホール8を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

【0061】次に、工程(25)に示すように、第2層間絶縁膜7の上に、スパッタ処理等により、ITO膜等の透明導電性薄膜9を、約50～200nmの厚さに堆積し、更に工程(26)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。

【0062】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角

を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16（図3参照）が形成される。

【0063】他方、図7に示した対向基板20については、ガラス基板120等が先ず用意される。このガラス基板120上に、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッチング工程を経て、マトリクス状の遮光膜23を形成する。尚、この遮光膜23は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0064】その後、基板120の全面にスパッタ処理等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22（図3参照）が形成される。

【0065】最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するように図示しないシール材により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0066】（第二実施形態における電気光学装置）次に、第二実施形態における液晶装置について説明する。第一実施形態とは、TFTアレイ基板の製造方法が一部異なり、相違する点のみ以下に説明し、同じ構造及び製造方法については説明を省略する。

【0067】第二実施形態におけるTFTアレイ基板の製造方法では、表示画素領域に対応する単結晶シリコン膜表面に酸化膜が形成された状態で珪素イオンが注入される点で、第一実施形態と異なり、図12を用いて説明する。

【0068】まず、第一実施形態で説明した図4（1）～（7）工程と同じ工程を経て、基板110上に遮光膜11a、下地膜12、酸化膜210b、単結晶シリコン膜210が順次形成された基板を形成する。ここで、単結晶シリコン膜の厚みは67nmとした。

【0069】次に図12（1）工程に示すように、単結晶シリコン膜210上に窒化珪素膜を200nmの厚みにて成膜した後、駆動回路領域のみに窒化珪素膜からなるマスク211が残るように、表示画素領域中に形成された窒化珪素膜をエッチングにより除去する。

【0070】次に、図12（2）工程に示すように、表示画素領域に対応する単結晶シリコン膜210の表面を表面酸化し、約24nmの膜厚の酸化膜600を形成する。この際、単結晶シリコン膜の厚みは、約40nmである。その後、酸化膜600及びマスク211を介して単結晶シリコン膜210に、珪素イオンを60keVの加速電圧で、 $3 \times 10^{15} \text{ cm}^{-2}$ の量で注入する。こ

で、マスク211は窒化膜で形成されているため、単結晶シリコン膜210内に珪素イオンが注入されることはない。また、珪素イオンは酸化膜600を通過して単結晶シリコン膜210内に珪素イオンが注入される。ここで、酸化膜600は膜210cの保護膜として機能し、珪素イオンの注入による膜210c表面の荒れを防止する。この後、窒化膜211を熱燐酸により除去する。更に、酸化膜600を弗化水素酸により除去する。尚、次に説明するポリシリコン化工程の後に酸化膜を除去する工程を設けても良いが、ポリシリコン化前に酸化膜を除去する工程を設けることが望ましい。これは、ポリシリコン化された状態で酸化膜を剥離すると、剥離に用いられる弗化水素酸によりポリシリコン膜表面が荒れるためである。

【0071】次に、窒素雰囲気中にて640℃の温度下で6時間加熱し、非単結晶シリコン膜の固相成長を行う。この工程により、表示画素領域においては、膜210cがポリシリコン化されてポリシリコン膜が形成される。一方、駆動回路領域においては、単結晶シリコン膜210が形成された構成となる。その後、酸化膜600をウェットエッチングにより除去する。

【0072】この後の工程では、第一実施形態の図5（10）工程～図8（26）工程に記載される工程と同様の処理が行われる。

【0073】第2実施形態においては、酸化膜600を介して単結晶シリコン膜に珪素イオンを注入するため、単結晶シリコン膜表面の荒れを防止することができ、品質の良い半導体層1aを得ることができる。

【0074】（第三実施形態における電気光学装置）次に、第三実施形態における液晶装置について説明する。第一実施形態においては、表示画素領域中における画素スイッチ用TFTに対応する半導体層1aの膜厚が、駆動回路領域中におけるTFTの半導体層401及び402の膜厚よりも薄い点で構造が異なる。そして、このような表示画素領域及び駆動回路領域それぞれに配置される半導体層の厚みを異ならせるために、第三実施形態の製造方法は第一実施形態の製造方法と一部異なる。以下に、第一実施形態の製造方法と異なる部分についてのみ説明し、同じ製造方法については説明を省略する。

【0075】第三実施形態におけるTFTアレイ基板の製造方法では、表示画素領域に対応する単結晶シリコン膜表面を酸化し、表面酸化膜を形成することにより、表示画素領域及び駆動回路領域それぞれに配置される半導体層の厚みを異ならせる点で、第一実施形態と異なる。また、この表面酸化膜の除去は、ポリシリコン化工程の前に行われ、以下、図13を用いて説明する。

【0076】まず、第一実施形態で説明した図4（1）～（7）工程と同じ工程を経て、基板110上に遮光膜11a、下地膜12、酸化膜210b、単結晶シリコン膜210が順次形成された基板を形成する。

【0077】次に図13(1)工程に示すように、単結晶シリコン膜210上に窒化珪素膜を200nmの厚みにて成膜した後、駆動回路領域のみに窒化珪素膜からなるマスク211が残るように、表示画素領域中に形成された窒化珪素膜をエッチングにより除去する。

【0078】次に、図13(2)工程に示すように、表示画素領域に対応する単結晶シリコン膜210の表面を酸化し、約280nmの膜厚の酸化膜601を形成する。これにより表示画素のシリコンの残り膜厚は55nmになる。

【0079】次に、図13(3)工程に示すように、酸化膜601をウエットエッチングにより除去する。これにより、表示画素領域においては膜厚が約40nmの単結晶シリコン膜210、駆動回路領域においては膜厚が約100nmの単結晶シリコン膜210が形成される。その後、マスク211を介して単結晶シリコン膜210に、珪素イオンを30keVの加速電圧で、 $3 \times 10^{15} \text{ cm}^{-2}$ の量で注入する。ここで、マスク211は窒化膜で形成されているため、マスクで覆われている領域の単結晶シリコン膜210内に珪素イオンが注入されることはなく、この後、窒化膜211を熱リン酸により除去する。

【0080】次に、窒素雰囲気中にて640℃の温度下で6時間加熱し、非単結晶シリコン膜の固相成長を行う。この工程により、表示画素領域においては、膜210cがポリシリコン化されて膜厚55nmのポリシリコン膜が形成される。一方、駆動回路領域においては、単結晶シリコン膜210が形成された構成となる。本実施形態では、酸化膜601の除去後に加熱によるポリシリコン化を行っているが、加熱によるポリシリコン化後に酸化膜601の除去を行っても良い。しかし、ポリシリコン化後に酸化膜601の除去を行うと、酸化膜除去に用いられるエッチング液によりポリシリコン膜の表面が荒れる場合があり、好ましくは、酸化膜601の除去後に、加熱によるポリシリコン化を行う方が良い。

【0081】この後の工程では、第一実施形態の図5(10)工程～図8(26)工程に記載される工程と同様の処理が行われる。

【0082】ここで、表示画素領域には液晶装置としたときに光が入射されるため、この光入射による半導体層のチャネル領域における光リークの発生を防止するために、ポリシリコンからなる半導体層の膜厚を30～70nm、更に好ましくは30～50nmと比較的薄くすることが望ましい。一方、駆動回路領域に配置されるTFTの単結晶シリコンからなる半導体層では、ドレイン耐圧性を高めるために、半導体層の膜厚を50～200nm、更に好ましくは100～160nmと比較的厚くすることが望ましい。特に、SOI基板を用いた製造方法の場合、周辺回路領域の素子能力が極めて高いため、寄生バイポーラの発生による素子耐圧の低下を防止するた

め、またコンタクト抵抗を低減するため、周辺回路領域における半導体の厚みを厚くする方が望ましい。第3実施形態においては、表示画素領域に配置されるTFTに対応するポリシリコンからなる半導体層の厚みが、駆動回路領域における配置されるTFTに対応する単結晶シリコンからなる半導体層の厚みよりも薄い構造となるため、表示画素領域における光リークの問題を解決しつつ、駆動回路領域におけるドレイン耐圧性を高めることができる。

10 【0083】(液晶装置の全体構成) 以上のように構成された液晶装置の各実施の形態の全体構成を図9及び図10を参照して説明する。尚、図9は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図10は、対向基板20を含めて示す図9のH-H'断面図である。

【0084】図9において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられている。シール材52の外側の領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画素表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画素表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画素表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一辺には、画素表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられており、更に、周辺見切りとしての第2遮光膜53の下に隠れてプリチャージ回路を設けてもよい。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電気的導通をとるための導通材106が設けられている。そして、図10に示すように、図9に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

【0085】(電子機器の構成) 上記の液晶装置を用いた電子機器の一例として、投射型表示装置の構成について、図11を参照して説明する。図11において、投射型表示装置1100は、上述した液晶装置を3個用意し、夫々RGB用の液晶装置962R、962G及び962Bとして用いた投射型液晶装置の光学系の概略構成図を示す。本例の投射型表示装置の光学系には、前述し

た光源装置 920 と、均一照明光学系 923 が採用されている。そして、投射型表示装置は、この均一照明光学系 923 から出射される光束 W を赤 (R)、緑 (G)、青 (B) に分離する色分離手段としての色分離光学系 924 と、各色光束 R、G、B を変調する変調手段としての 3 つのライトバルブ 925 R、925 G、925 B と、変調された後の色光束を再合成する色合成手段としての色合成プリズム 910 と、合成された光束を投射面 100 の表面に拡大投射する投射手段としての投射レンズユニット 906 を備えている。また、青色光束 B を対

【0086】均一照明光学系 923 は、2 つのレンズ板 921、922 と反射ミラー 931 を備えており、反射ミラー 931 を挟んで 2 つのレンズ板 921、922 が直交する状態に配置されている。均一照明光学系 923 の 2 つのレンズ板 921、922 は、それぞれマトリクス状に配置された複数の矩形レンズを備えている。光源装置 920 から出射された光束は、第 1 のレンズ板 921 の矩形レンズによって複数の部分光束に分割される。そして、これらの部分光束は、第 2 のレンズ板 922 の矩形レンズによって 3 つのライトバルブ 925 R、925 G、925 B 付近で重畳される。従って、均一照明光学系 923 を用いることにより、光源装置 920 が出射光束の断面内で不均一な照度分布を有している場合でも、3 つのライトバルブ 925 R、925 G、925 B を均一な照明光で照明することが可能となる。

【0087】各色分離光学系 924 は、青緑反射ダイクロイックミラー 941 と、緑反射ダイクロイックミラー 942 と、反射ミラー 943 から構成される。まず、青緑反射ダイクロイックミラー 941 において、光束 W に含まれている青色光束 B および緑色光束 G が直角に反射され、緑反射ダイクロイックミラー 942 の側に向かう。赤色光束 R はこのミラー 941 を通過して、後方の反射ミラー 943 で直角に反射されて、赤色光束 R の出射部 944 からプリズムユニット 910 の側に出射される。

【0088】次に、緑反射ダイクロイックミラー 942 において、青緑反射ダイクロイックミラー 941 において反射された青色、緑色光束 B、G のうち、緑色光束 G のみが直角に反射されて、緑色光束 G の出射部 945 から色合成光学系の側に出射される。緑反射ダイクロイックミラー 942 を通過した青色光束 B は、青色光束 B の出射部 946 から導光系 927 の側に出射される。本例では、均一照明光学素子の光束 W の出射部から、色分離光学系 924 における各色光束の出射部 944、945、946 までの距離がほぼ等しくなるように設定されている。

【0089】色分離光学系 924 の赤色、緑色光束 R、G の出射部 944、945 の出射側には、それぞれ集光

レンズ 951、952 が配置されている。したがって、各出射部から出射した赤色、緑色光束 R、G は、これらの集光レンズ 951、952 に入射して平行化される。

【0090】このように平行化された赤色、緑色光束 R、G は、ライトバルブ 925 R、925 G に入射して変調され、各色光に対応した画像情報が付加される。すなわち、これらの液晶装置は、不図示の駆動手段によって画像情報に応じてスイッチング制御されて、これにより、ここを通過する各色光の変調が行われる。一方、青色光束 B は、導光系 927 を介して対応するライトバルブ 925 B に導かれ、ここにおいて、同様に画像情報に応じて変調が施される。尚、本例のライトバルブ 925 R、925 G、925 B は、それぞれさらに入射側偏光手段 960 R、960 G、960 B と、出射側偏光手段 961 R、961 G、961 B と、これらの間に配置された液晶装置 962 R、962 G、962 B とからなる液晶ライトバルブである。

【0091】導光系 927 は、青色光束 B の出射部 946 の出射側に配置した集光レンズ 954 と、入射側反射ミラー 971 と、出射側反射ミラー 972 と、これらの反射ミラーの間に配置した中間レンズ 973 と、ライトバルブ 925 B の手前側に配置した集光レンズ 953 とから構成されている。集光レンズ 946 から出射された青色光束 B は、導光系 927 を介して液晶装置 962 B に導かれて変調される。各色光束の光路長、すなわち、光束 W の出射部から各液晶装置 962 R、962 G、962 B までの距離は青色光束 B が最も長くなり、したがって、青色光束の光量損失が最も多くなる。しかし、導光系 927 を介在させることにより、光量損失を抑制することができる。

【0092】各ライトバルブ 925 R、925 G、925 B を通って変調された各色光束 R、G、B は、色合成プリズム 910 に入射され、ここで合成される。そして、この色合成プリズム 910 によって合成された光が投射レンズユニット 906 を介して所定の位置にある投射面 100 の表面に拡大投射されるようになっている。

【図面の簡単な説明】

【図 1】液晶装置における表示画素領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等、駆動回路領域の等価回路図である。

【図 2】液晶装置におけるデータ線、走査線、画素電極、TFT 等が形成された TFT アレイ基板の表示画素領域の平面図である。

【図 3】図 2 の線 A-A' 断面図である。

【図 4】第一実施形態における液晶装置の TFT アレイ基板の製造工程を順に追って示す工程図 (その 1) である。

【図 5】第一実施形態における液晶装置の TFT アレイ基板の製造工程を順に追って示す工程図 (その 2) である。

21

【図 6】第一実施形態における液晶装置の T F T アレイ基板の製造工程を順に追って示す工程図（その 3）である。

【図 7】第一実施形態における液晶装置の T F T アレイ基板の製造工程を順に追って示す工程図（その 4）である。

【図 8】第一実施形態における液晶装置の T F T アレイ基板の製造工程を順に追って示す工程図（その 5）である。

【図 9】液晶装置の各実施の形態における T F T アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 10】図 9 の H-H' 断面図である。

【図 11】液晶装置を用いた電子機器の一例である投射型表示装置の構成図である。

【図 12】第二実施形態における液晶装置の T F T アレイ基板の製造工程を示す工程図である。

*

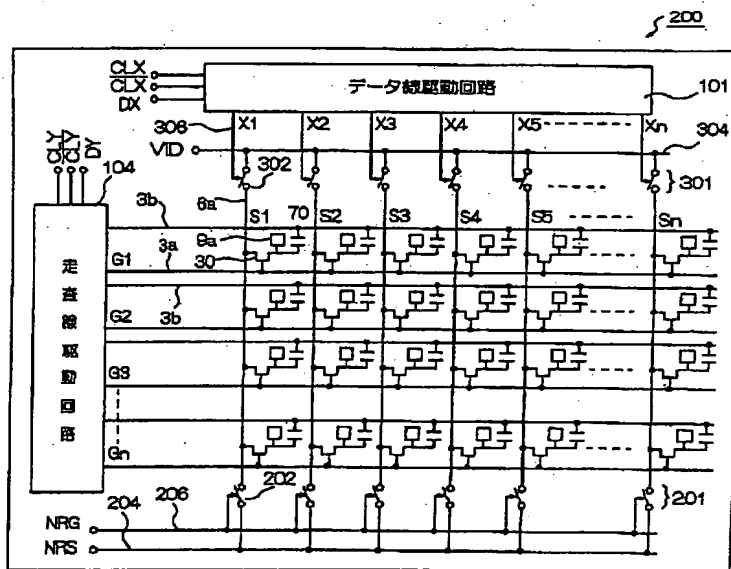
22

* 【図 13】第三実施形態における液晶装置の T F T アレイ基板の製造工程を示す工程図である。

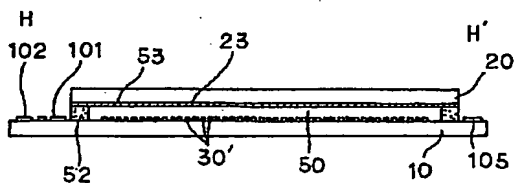
【符号の説明】

- 1 a …ポリシリコンからなる半導体層
- 1 1 0 …石英基板
- 2 0 0 …液晶装置
- 2 1 0 …単結晶シリコン膜
- 2 1 0 a …単結晶シリコン基板
- 2 1 0 b …酸化膜
- 2 1 0 c …単結晶シリコン膜に珪素イオンが注入された膜
- 2 1 0 d …ポリシリコン膜
- 2 1 0 e …結晶成長された単結晶シリコン膜
- 2 1 1 …窒化膜からなるマスク
- 4 0 1、4 0 2 …単結晶シリコンからなる半導体層
- 6 0 0、6 0 1 …酸化膜

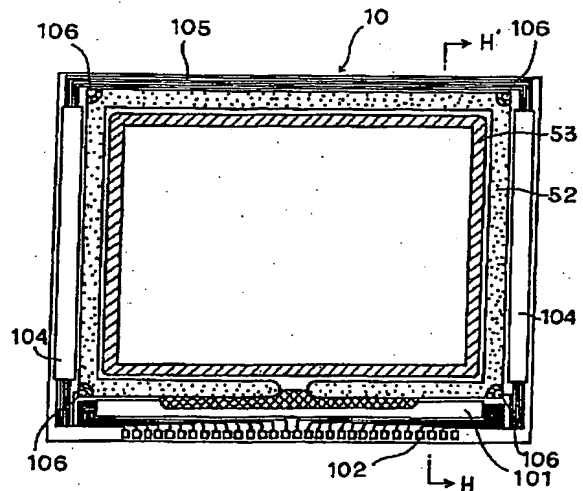
【図 1】



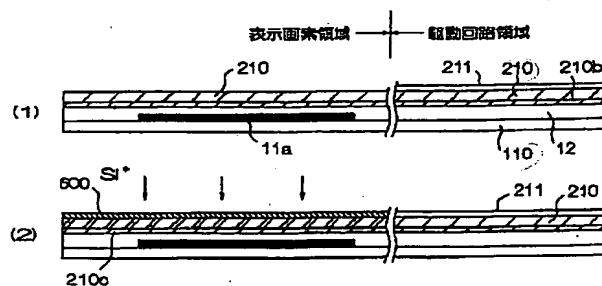
【図 10】



【図 9】

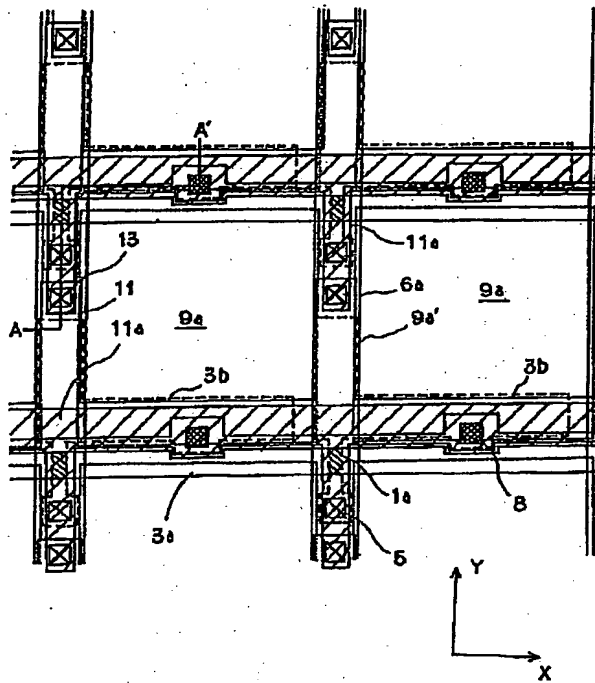


【図 12】

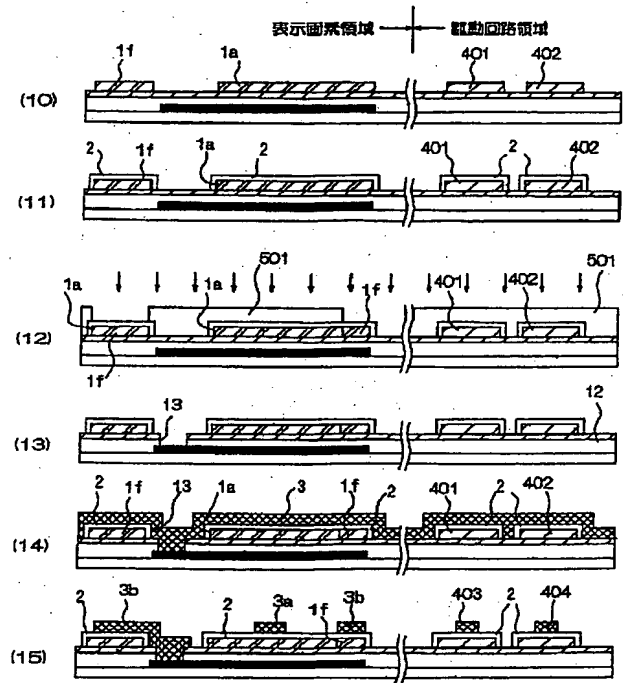


12, 2105

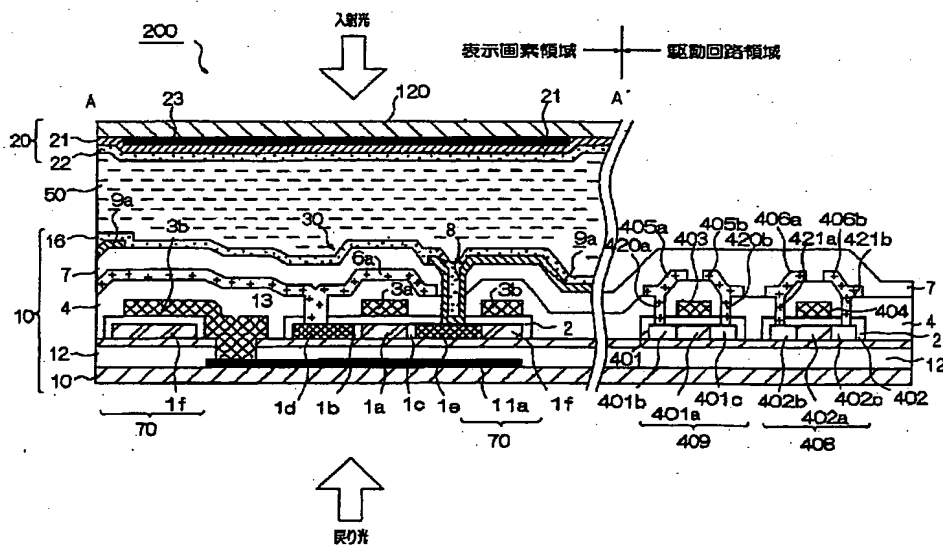
【図2】



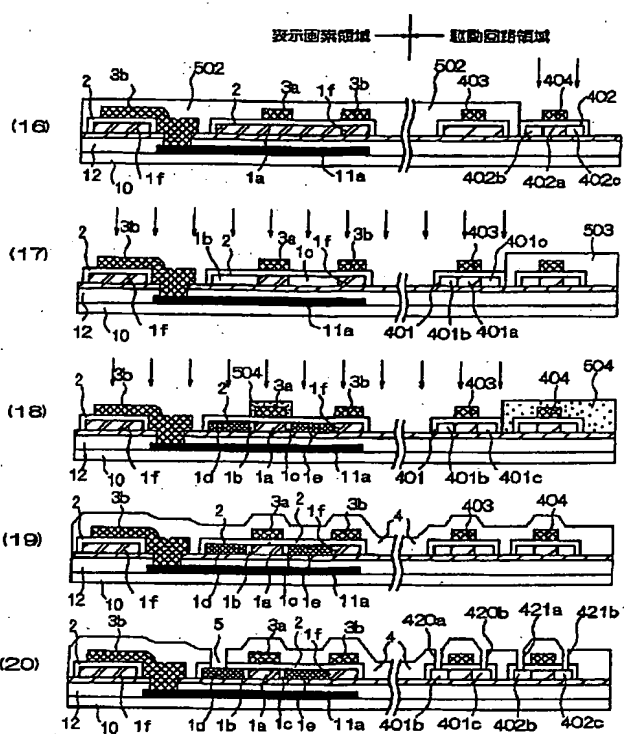
【図5】



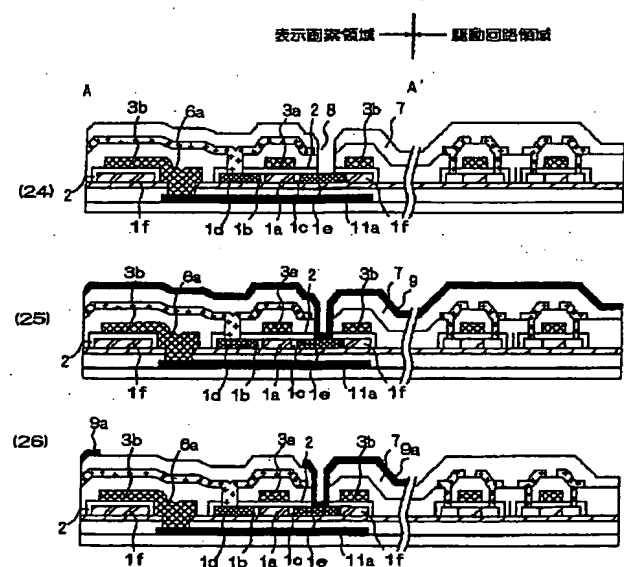
【図3】



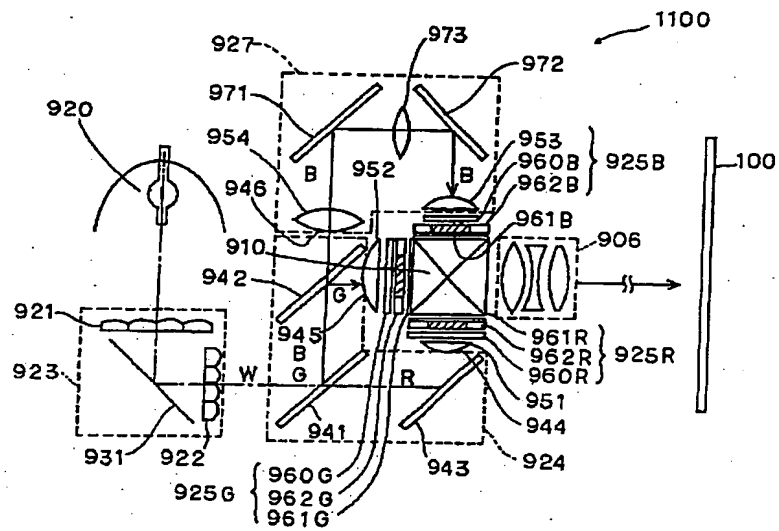
【図 6】



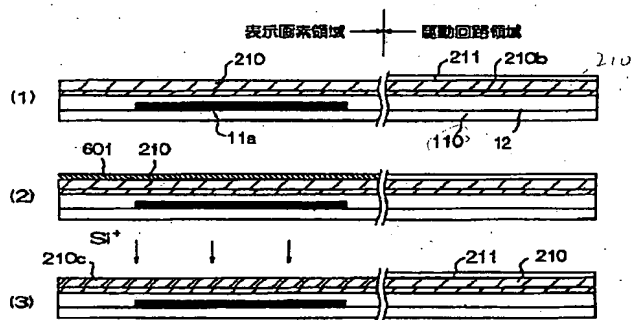
【図 8】



【図11】



【図13】



フロントページの続き

(51) Int. Cl.⁷

H01L 21/336

識別記号

FI

H01L 29/78

テーマコード (参考)

627D

627G

Fターム(参考) 2H092 JA28 JB52 JB58 KA03 KA05
MA05 MA13 MA17 MA23 MA26
MA27 MA30 MA37 NA27 RA05
5C094 AA13 AA21 AA43 AA48 AA49
AA53 AA56 BA03 BA16 BA43
CA19 CA24 DA09 DA13 DB01
DB04 EA04 EA05 EB02 ED03
ED15 FA01 FA02 FB02 FB12
FB14 FB15 GB10
5F052 AA02 AA04 AA17 BB07 CA10
DB10 HA01 HA06 JA01 JA10
5F110 AA16 BB02 BB04 CC02 DD02
DD12 DD13 DD14 DD25 EE09
EE45 FF02 FF09 FF23 FF32
GG02 GG12 GG13 GG25 HJ01
HJ04 HJ23 HL03 HL05 HL07
HL23 HM15 NN03 NN04 NN22
NN23 NN24 NN25 NN26 NN35
NN44 NN46 NN72 NN73 NN78
PP01 PP03 PP10 PP33 QQ11
QQ17
5G435 AA16 AA17 BB12 BB15 BB17
CC09 CC12 DD05 EE32 EE37
FF13 HH12 HH13 HH14 KK05
KK09